

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235538
 (43)Date of publication of application : 05.09.1995

(51)Int.Cl. H01L 21/3205
 H01L 21/28
 H01L 21/316

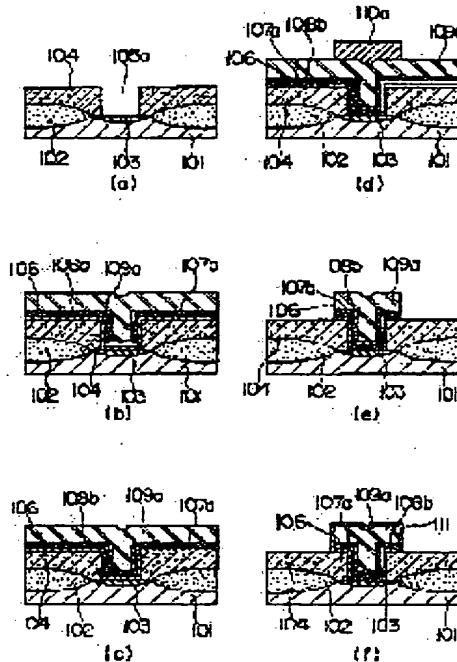
(21)Application number : 06-026672 (71)Applicant : NEC CORP
 (22)Date of filing : 24.02.1994 (72)Inventor : MIKAGI IKU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve the electrical, mechanical, thermal and chemical characteristics of a metal wiring, which is constituted using a copper layer as its main conductive layer.

CONSTITUTION: A metal wiring, which is formed on an insulating film 104 on a semiconductor substrate 101, is constituted of a laminated film, which consists of a titanium film 106, a titanium nitride film 107a, a copper-titanium intermetallic compound layer 108b and a copper alloy film 109a of copper added with other trace elements, and a tungsten film 111 covering the surface of this multilayer film. The layer 108b is formed by a method wherein after the films 107a and 109a are formed, these films 107a and 109a are subjected to heat treatment. The layer 108b improves the adhesion of the film 109a to the film 107a and the film 111 prevents the metal films from being oxidized and corroded. By improving the electrical, mechanical, thermal and chemical characteristics of the metal wiring, a semiconductor device having a fine wiring, which is highly reliable extending over a long period of time, is manufactured at a high yield and at a high throughput.



LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2701730

[Date of registration] 03.10.1997

[Number of appeal against examiner's decision of rejection]

(51) Int.Cl.⁶
 H 01 L 21/3205
 21/28 3 0 1 Z 8826-4M
 21/316 X 7352-4M

識別記号 庁内整理番号
 3 0 1 Z 8826-4M
 X 7352-4M

F I

技術表示箇所

H 01 L 21/ 88

R

審査請求 未請求 請求項の数10 ○L (全 10 頁)

(21)出願番号 特願平6-26672
 (22)出願日 平成6年(1994)2月24日

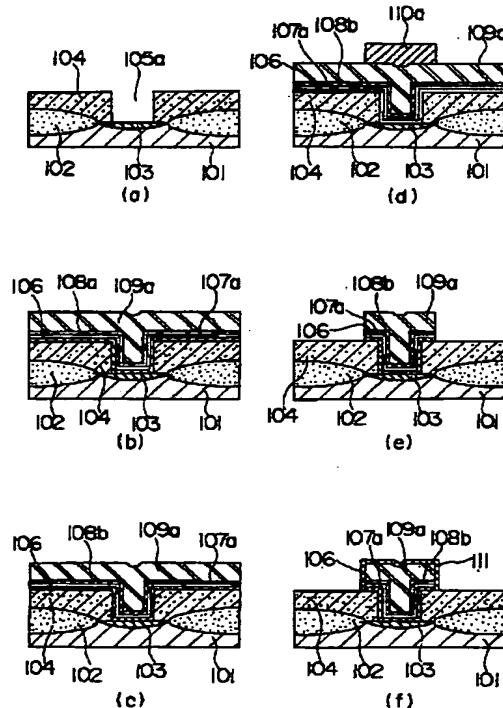
(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 三ヶ木 郁
 東京都港区芝五丁目7番1号日本電気株式
 会社内
 (74)代理人 弁理士 稲垣 清

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 銅を主導電層とした金属配線の電気的、機械的、熱的および化学的特性を改善する。

【構成】 半導体基板101上の絶縁膜104上に形成される金属配線が、順次に積層されるチタン膜106、窒化チタン膜107a、銅とチタンの金属間化合物層108b、及び、銅に微量の他元素が添加された銅合金膜109aから成る積層膜と、この積層膜の表面を覆うタングステン膜111とから構成される。銅とチタンの化合物層108bは、窒化チタン膜107a及び銅合金膜109aを積層した後にこれらを熱処理することにより形成される。銅とチタンの化合物層108bは、銅合金膜109aと窒化チタン膜107aとの密着性を改善し、また、タングステン膜111は、金属膜の酸化及び腐食を防止する。電気的、機械的、熱的及び化学的特性を良好とすることにより、長期的な信頼性が高い微細配線を有する半導体装置を、良好な歩留り且つ高いスループットで製造する。



【特許請求の範囲】

【請求項1】 半導体基板の主面上部に形成される絶縁膜と、少なくとも前記絶縁膜上に順次形成されるチタン膜、窒化チタン膜、銅とチタンの化合物層、及び、銅に微量の他元素が添加された銅合金膜を含む積層膜を有する金属配線とを備えることを特徴とする半導体装置。

【請求項2】 前記絶縁膜を貫通する接続孔を更に備え、前記金属配線が該接続孔を経由して前記半導体基板の主面に接することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記金属配線が、前記積層膜の表面を覆うタンゲステン膜を更に備えることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記銅への添加元素が、ジルコニウム(Zr)、銀(Ag)、錫(Sn)及びアンチモン(Sb)から成る群から選択される1種類以上であることを特徴とする請求項1乃至3の一に記載の半導体装置。

【請求項5】 前記添加元素の添加量が、添加元素全体として0.01~0.5重量%の範囲にあることを特徴とする請求項1乃至4の一に記載の半導体装置。

【請求項6】 銅とチタンの前記化合物層が、Cu:Ti=5:1からCu:Ti=1:2迄の範囲の原子組成比を有する金属化合物から実質的に構成されることを特徴とする請求項1乃至5の一に記載の半導体装置。

【請求項7】 半導体基板の主面上部に絶縁膜を形成する工程と、少なくとも前記絶縁膜上にチタン膜を形成する工程と、該チタン膜上に窒化チタン膜を形成する工程と、該窒化チタン膜上に順次積層される銅とチタンの化合物層及び銅に微量の他元素が添加された銅合金膜を形成する工程と、前記銅合金膜、銅とチタンの化合物層、窒化チタン膜及びチタン膜をパターニングして配線パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記配線パターンの表面をタンゲステン膜により被覆する工程を更に含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記銅とチタンの化合物層及び前記銅合金層を形成する工程が、前記窒化チタン膜上に第2のチタン膜及び前記銅合金膜を順次に形成する工程と、該工程に後続する熱処理工程とを含むことを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項10】 前記銅とチタンの化合物層及び前記銅合金層を形成する工程が、前記銅とチタンの化合物及び前記銅合金を順次にスパッタリングする工程であることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製

造方法に関し、特に銅合金を含む配線を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来の半導体装置及びその製造法について説明する。図3(a)~(c)は夫々、特開昭63-156341号公報に記載された従来の半導体装置の製造方法(第1の従来技術)で採用される工程を順次に示す、各工程段階毎の半導体装置の縦断面図である。まず、シリコン基板101上にシリコン酸化膜104、オームикコンタクトをとるための50nm厚の第1チタン(以下Ti)膜106、銅のバリアメタルとして機能する100nm厚の窒化チタン(以下TiN)膜107a、主導電層となる700nm厚の銅(以下Cu)膜109b、及び、バリアメタルとなる200nm厚のTiN膜107bを順次形成して、TiN膜107bを公知の手法によりパターニングした後、このTiN膜107bをエッティングマスクとしたイオンミリング法によりCu膜109bをエッティングし、さらにSF6に10%のO2を添加したガスを用いた反応性イオンエッティング法により、Cu膜109bの下側にあるTiN膜107a、第1Ti膜106をエッティングして配線パターン化する。これにより、図3(a)に示す構造を得る。

【0003】 次いで、図3(b)に示すように、300nmの厚みを有するTiN膜107cをバイアススパッタ法により配線パターンの上部及び側壁部並びにシリコン酸化膜104上に形成する。

【0004】 引き続き、図3(c)に示すように、異方性を有する反応性イオンエッティング法により、シリコン酸化膜104上及び配線パターン上のTiN膜107cをエッティングして、配線パターンの側壁部にTiN膜107b、107cに残す。その結果、配線表面がTiN膜107b、107cにより被覆・保護された構造が得られ、低電気抵抗で且つ高い長期信頼性を有する配線パターンが得られる。この方法では、Cuのバリアメタルとして、TiN膜以外にW、Mo、Ta、Crを用いてもよい。図4(a)及び(b)は夫々、特公昭49-3237号公報に記載された従来の半導体装置の製造方法(第2の従来技術)を示す、各工程段階毎の縦断面図である。まず、同図(a)に示すように、シリコン基板101上にシリコン酸化膜104を形成した後、即ちの手法を用いてコンタクトホール105aを開口する。引き続き、シリコン酸化膜104上及びコンタクトホール105a内にTiN膜107aを反応性スパッタ法により形成し、さらにTiN膜107a上に、薄いTi膜108aと主導電層となる金(以下Au)膜109cとを順次形成することで、同図(b)に示す構造を得る。第2Ti膜108aは、バリアメタルを成すTiN膜107aと主導電層を成すAu膜109cとの間の密着性の改善を目的として形成される。

【0005】 Cuを主導電層とする金属配線を有する半

導体装置の他の従来技術としては、オーノ (Ohno) らが示した構造および製法（第3の従来技術）が知られている。（エクステンデッド アブストラクト オブ ジ エレクトロケミカル ソサエティ 93-1, 1993 年、5月 468 頁 : Extended Abstracts of The Electrochemical Society 93-1, May 468p, (1993)）。図 5 (a) ~ (c) は夫々、その製造工程を順次に示す、各工程段階毎の縦断面図である。まず、シリコン基板 101 上にシリコン酸化膜 104 を約 500 nm の厚みで形成する。続いて第 1 Ti 膜 106 及び TiN 膜 107a をスパッタ法および反応性スパッタ法により、夫々 30 nm、100 nm の厚みで順次に形成する。

【0006】引き続き、TiN 膜 107a 上にタンゲステン（以下 W）膜 108c、Cu 膜 109b をスパッタ法を用いてそれぞれ 30 nm、500 nm の厚みで順次形成する。次いで、Cu 膜 109b 上に W 膜 108d および TiN 膜 107b をスパッタ法によりそれぞれ 30 nm、50 nm の厚みで順次形成することで、図 5 (a) に示す構造を得る。

【0007】第 1 Ti 膜 106 は、シリコン基板 101 の拡散層とのコンタクト抵抗の低減、並びに、シリコン酸化膜 104 と TiN 膜 107a との密着性改善を目的として形成される。TiN 膜 107a、107b は、Cu の拡散、酸化あるいは腐食の防止を目的として形成され、特にエレクトロマイグレーション耐性とストレスマイグレーション耐性とを改善することで、配線全体の長期信頼性を高める作用をも有する。

【0008】W 膜 108c、108d は、Cu 膜 109b と TiN 膜 107a、107b との密着性の改善を目的として形成される。Cu 膜 109b と TiN 膜 107a、107b との間に夫々 W 膜 108c、108d が存在しないと、Cu 膜と TiN 膜との間で充分な密着が得られないため、高温で塩素系ガスを用いた反応性エッティング法により Cu 膜をパターニングする際に、Cu 膜と TiN 膜の界面に塩素系ガスのラジカル成分が入り込み、TiN 膜にサイドエッチが生じ、或いは、パターン剥がれが発生する。

【0009】引き続き、TiN 膜 107b 上に、プラズマ CVD 法によりシリコン窒化膜を 400 ~ 500 nm の厚みで形成し、公知の手法であるフォトリソグラフィー法及びドライエッティング法によりシリコン窒化膜をパターニングして、これを金属層のエッティングマスクとなるシリコン窒化膜マスク 110a とする。これにより、図 5 (b) に示す構造を得る。

【0010】さらに、280°C の基板温度で SiCl₄、Cl₂、N₂、NH₃ の各ガスを用いた反応性エッティング法により、TiN 膜 107b、W 膜 108d、Cu 膜 109b、W 膜 108c 及び TiN 膜 107a をエッティングして配線パターン化することで、図 5 (c) に示す構造を得る。このエッティングの際に、配線の側壁部にはシリコン窒化膜に近い構造を有するエッティングの反応副生成物（図示せず）が極めて薄く付着して、この反応副生成物が Cu 膜の側壁保護膜として機能する。

【0011】また、Cu 表面の酸化や腐食を防止する目的で、Cu 表面部に選択的に保護層を形成する半導体装置の製造方法（第4の従来技術）がチヨー (Cho) らによって示されている（シンポジウム オン ブイ・エル・エス・アイ ダイジェストオブ テクニカル ペイペーズ、1991 年 5 月、39 頁 : Symposium on VLSI Technology, Digest of Technical Papers, 39p. May (1991)）。Cho らは、周囲が保護層で覆われている Cu 配線について、非平面 (non-planar) 構造と平面 (planar) 構造の 2 つの構造を示している。図 6 (a) ~ (d) は上記非平面構造の製造工程を、また、図 7 (a) ~ (d) は上記平面構造の製造工程を、何れも各工程段階毎に示している。

【0012】上記非平面構造の製造方法では、図 6 (a) に示すように、シリコン基板 101 上にシリコン酸化膜 104 及び Ti-W 膜 107d を順次形成した後、その上に低温でシリコン酸化膜を成長し、即ちの手法によりこれをパターニングして、シリコン酸化膜マスク 110b と配線形成用溝パターン 105b を形成する。

【0013】次いで、公知の手法である選択 W-CVD 法により、配線形成用溝パターン 105b の底部に存在する Ti-W 膜 107d 上のみに薄い W 膜 108c を成長した後に、選択 Cu-CVD 法により、W 膜 108c 上のみに Cu 膜 109b を形成する（図 6 (b)）。

【0014】続いて、Cu 膜 109b をマスクとして、シリコン酸化膜マスク 110b と Ti-W 膜 107d をエッチバックして、Ti-W 膜 107d、W 膜 108c 及び Cu 膜 109b から構成される配線構造を得る（図 6 (c)）。

【0015】引き続き、選択 W-CVD 法により配線周囲に W 膜 111 を形成して、保護層を成す W 膜 111 により表面が被覆された Cu 配線を形成する（図 6 (d)）。

【0016】前記平面構造の製造方法では、シリコン基板 101 上にシリコン酸化膜 104 を形成した後に、さらにシリコン酸化膜を形成し、即ちの手法を用いてこれをパターニングして、シリコン酸化膜マスク 110b 及び配線形成用溝パターン 105b を形成する。次いで、全面に Ti-W 膜 107d をスパッタすることで、図 7 (a) に示す構造を得る。

【0017】引き続き、フォトレジスト 112 を全面に塗布した後に、配線形成用溝パターン 105b の内部に、フォトレジスト 112 及び Ti-W 膜 107d が残るような条件を用いて、フォトレジスト 112 及び Ti-W 膜 107d をエッチバックする（図 7 (b)）。次いで、フォトレジスト 112 を除去して、シリコン窒化

膜113を全面に成長し、所定の条件で異方性のエッチバック処理を行い、シリコン窒化膜113を配線形成用溝105bの側壁に残して、これをサイドウォール化する(図7(c))。

【0018】その後、W膜108c、Cu膜109b及びW膜108dの各導電層を、配線形成用溝パターン105b底部のTi-W膜107d上のみに選択的に形成して、表面が保護されたCu配線パターンを形成する(図7(d))。

【0019】また、伊藤らは、Cu表面部に窒化ニオブ(以下NbN)から構成される表面保護膜を自己整合的に形成する方法(第5の従来技術)を示している(第39回応用物理学関係連合講演会予稿集、講演番号30p-ZH-7, March (1992))。図8(a)及び(b)は、その製造工程を工程段階毎の縦断面図として示す。

【0020】まず、シリコン基板101上にシリコン酸化膜104を形成した後に、Nb膜114a及びCu膜109bをスパッタ法により形成し、両導電層を即ちの手法を用いてパターニングすることで、図8(a)に示す構造を得る。次いで、N₂雰囲気中において750℃で30分間の熱処理を行い、Cu膜109bの表面にNbを析出・窒化させて、Cu表面に自己保護膜となるNbN層114bを形成する。熱処理後には、Cu膜109b中にNbが3at%程度混入するが、それでもCu膜の比抵抗は1.89μΩ-cmと低い値をとる。また、Nb膜114a上に形成されたCu膜の結晶は、(111)配向が極めて強く、エレクトロマイグレーション、ストレスマイグレーションに対しての耐性が高いことも同時に示されている。

【0021】

【発明が解決しようとする課題】上述の従来の半導体装置の製造方法は、それぞれ以下に示す欠点がある。

【0022】まず、第1の従来技術では、イオンミリングによりCu膜をエッチングし、かつ、TiN膜のサイドウォールを用いるため、微細なスペースを有する配線パターンへの適用が困難である。また、Cu膜とTiN膜の密着性が良好とはいえないため、良好な製造歩留や高い長期信頼性を得ることが困難でもある。TiN膜に代えて上述のW膜等のバリアメタルを用いた場合でも、微細パターンへの適用が困難であることにかわりはない。

【0023】第2の従来技術では、Tiは一般にAu膜中に固溶しやすいので、Ti膜108aとAu膜109cを形成後の製造工程中に熱処理を行なった場合には、Ti原子がAu膜109c中へ拡散して接合界面でのTi濃度が減少していく。密着性改善を目的として形成されるTi膜は膜厚が薄いため、その界面のTi濃度が減少し、TiN膜107aとの密着性が低下する。特に多層配線構造の形成工程は多くの熱処理工程を含んでいるため、TiN膜107aとAu膜109cの界面のTi濃度は極めて低いものとなり、密着性はほとんど改善されないこと

となる。この場合、Tiの膜厚を大きく形成することでTiNとの界面でのTi濃度を高く保とうとすると、Au膜中のTi濃度もそれに従って高くなり、Au膜の電気抵抗が高くなる。Au膜をCu膜に置き換えた場合も同様であり、熱処理によってTiがCu膜中に拡散していき、密着性の改善は見込めない。

【0024】第3の従来技術では、Ti、TiN、W、Cu、W、TiNの6つの導電膜から成る積層構造を採用するので、多くの工程が必要なため装置の数が多くなり、或いは、装置の構造が複雑化し、製造コストの上昇や生産効率の低下を招く。また、Cu膜の側壁は、エッチング工程で生じた、薄いシリコン窒化膜に近い構造の反応副生成物により保護されることになるが、この物質は安定な相ではないため、化学的・熱的安定性が低く、長期的に信頼性が高い保護膜にはなり得ない。保護膜に経時変化が生ずると、これに起因してCuの腐食や酸化を生じるおそれがあり、得られた配線について、良好な耐熱性や高い長期的信頼性が得られない。

【0025】第4の従来技術の非平面構造方式では、溝形成工程において溝の底部にTi-W膜が存在するが、Ti-W膜は酸化膜エッチングの際のストップとはならないため、特に下地に段差がある場合には、酸化膜のみをエッチングしてTi-W膜を残すようなエッチング条件の設定及びその制御が困難である。また、Cu膜をエッチングマスクとして酸化膜及びTi-W膜をエッチングする工程を反応性イオンエッチングで行う場合には、Cu膜表面が反応性ガスのプラズマに晒されるため、表面が変質してコロージョンが発生し、或いは、電気的特性が劣化する可能性がある。また、このエッチング工程に、CMP(Chemical Mechanical Polishing)やイオンミリングを適用することは、エッチング(ミリング)速度比やCuの耐薬品性の観点から困難である。

【0026】また、第4の従来技術の平面構造方式では、レジストを用いたTi-W膜のエッチバックにより、溝内部のみにTi-W膜を残す工程を採用している。ところが、段差の大きな下地では、その上に塗布したレジストの膜厚が、段差上では薄く、その周辺部では厚くなりがちである。このため、溝内部のみにTi-W膜が残るようなエッチバック条件を見いだすことは困難である。また、溝内部に形成するCu膜とその上下層のW膜とは、何れも選択成長により成膜する必要がある。ところが、W膜、Cu膜及びW膜の3層から成る積層構造を選択成長により形成する際には、良好な選択性を確保することは極めて難しく、実用的ではない。

【0027】第5の従来技術におけるCu表面のNbNによる保護は、Cu表面の保護としては良好な手法であるが、NbNの形成温度が750℃と高いため、この高い温度により、コンタクト部を成す金属と半導体との接触部では、金属と半導体との間で起こる拡散・シリサイド化反応により、不純物の吸い上げや接合の破壊などが起

こり、半導体素子の特性が劣化する。そのためデバイスへの適用は難しく、特に微細な設計ルールを有する、浅いp-n接合を有するデバイスへの適用が困難という問題がある。

【0028】上記に鑑み、本発明は、電気的特性が良好であり、製造工程中に金属積層膜に剥がれが生じない等、機械的、熱的及び化学的耐性が高く、且つ長期的な信頼性、製造歩留り及び生産効率が高い半導体装置及びその製造方法を提供することを目的とする。

【0029】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、半導体基板の主面上部に形成される絶縁膜と、少なくとも前記絶縁膜上に順次形成されるチタン膜、窒化チタン膜、銅とチタンの化合物層、及び、銅に微量の他元素が添加された銅合金膜を含む積層膜を有する金属配線とを備えることを特徴とする。

【0030】金属配線が、絶縁膜を貫通する接続孔を経由して半導体基板の主面に接するコンタクトを形成する際には、特に良好なオーミックコンタクトが得られる。また、金属配線が、積層膜の表面を覆うタングステン膜を更に備える構成を採用することが好ましい。

【0031】銅への添加元素として、ジルコニウム(Zr)、銀(Ag)、錫(Sn)及びアンチモン(Sb)から成る群から選択される1種類以上を添加することもまた好ましい態様である。この場合、添加元素の添加量は、添加元素全体として0.01～0.5重量%の範囲を選定することが好ましい。

【0032】銅とチタンの化合物層が、Cu:Ti=5:1からCu:Ti=1:2迄の範囲の原子組成比を有する金属化合物から構成されるようにすることも好ましい態様である。

【0033】更に、本発明の半導体装置の製造方法は、半導体基板の主面上部に絶縁膜を形成する工程と、少なくとも前記絶縁膜上にチタン膜を形成する工程と、該チタン膜上に窒化チタン膜を形成する工程と、該窒化チタン膜上に順次積層される銅とチタンの化合物層及び銅に微量の他元素が添加された銅合金膜を形成する工程と、前記銅合金膜、銅とチタンの化合物層、窒化チタン膜及びチタン膜をパターニングして配線パターンを形成する工程とを含むことを特徴とする。

【0034】銅とチタンの化合物層及び銅合金層を形成する工程は、夫々をスパッタリングにより別々に形成する工程を採用することも、或いは、窒化チタン上に第2のチタン膜及び銅合金膜を形成し、その後の熱処理により、銅とチタンとを化合させて銅とチタンの化合物層を形成する熱処理工程を採用することも出来る。

【0035】

【作用】本発明の半導体装置では、一般的に電気抵抗が小さな銅合金膜、良好なオーミックコンタクトが得られ

るチタン膜、銅合金のバリアメタル層として良好な窒化チタン膜、並びに、銅及び窒化チタンの双方に対して密着性が良好な銅とチタンの化合物から成る化合物層を含む積層膜を有する金属配線を採用した構成により、比較的簡素な構造にも拘らず、電気的に良好な導電性及びオーミックコンタクトを有すると共に、製造工程中に積層膜の剥がれが生じない等、機械的、熱的及び化学的耐性が高い金属配線が得られる。

【0036】また、本発明の半導体装置の製造方法は、上記特徴を有する半導体装置を製造できる。

【0037】

【実施例】図面を参照して本発明の半導体装置及びその製造方法の実施例について説明する。図1は、本発明の第1の実施例の半導体装置を製造するための、本発明の実施例の製造方法における、各工程段階毎の半導体装置の縦断面図である。

【0038】まず、公知の手法である選択酸化法及び注入法を用いて、シリコン基板101の主面上にフィールド酸化膜102及び拡散層103を形成する。次いで、熱CVD法を採用して、その上にシリコン酸化膜104を厚さ約1000nmの厚みで形成する。なお、酸化膜104は、必ずしもシリコン酸化膜である必要はなく、例えば、ボロンやリンを含有したBPSGやPSGでもよい。引き続き、反応性イオンエッティング法を利用して、シリコン酸化膜104を貫通する接続孔105aを開口することで、図1(a)に示す構造を得る。

【0039】次いで、第1Ti膜106、TiN膜107a、第2Ti膜108a及びCu合金膜109aを、夫々、30nm、100nm、5～10nm、400nmの厚みでD.C.マグネットロンスパッタ法およびD.C.マグネットロン反応性スパッタ法を用いて順次形成し、図1(b)に示す構造を得る。Cu合金としては、Cuにジルコニウム(以下Zr)、銀(以下Ag)、錫(以下Sn)及びアンチモン(以下Sb)から選択される添加金属の少くとも1種類を、添加金属全体として0.01～0.1wt%添加する。

【0040】第1Ti膜106は、得られる金属配線と拡散層103との間でのコンタクト抵抗の低減、並びに、シリコン酸化膜104とTiN膜107aとの間の密着性の改善を目的として形成する。TiN膜107aは、その上に形成する金属層が拡散層に拡散することを防止すること、及び、配線全体のエレクトロマイグレーション耐性、ストレスマイグレーション耐性を改善することを目的として形成する。CuへのZr、Ag、Sn、Sbの添加は、Cuの機械的強度、熱的安定性、耐酸化性などの特性の改善を目的として行なわれる。

【0041】例えば、Cuに0.01～0.1wt%のZrを添加した場合には、Cuの引っ張り強度は20～25Kgf/mm²であるが、Cu-0.01wt%Zrの引張強度は35～45Kgf/mm²であり、引っ張り強度が改善さ

れる。また、Cuの再結晶温度が150℃であるのに対して、Cu-0.01wt%Zrの再結晶温度は450℃以上であり、熱的安定性が高まる。更に、Zr酸化物の生成自由エネルギーは、Cu酸化物の生成自由エネルギーよりもはるかに低く、Zrは酸化されやすい。従って、合金中においてCuの代りにZrが酸化されることで、Cuの耐酸化性が向上する。

【0042】前述の機械的強度・耐熱性の改善もこのZr酸化物に起因している。即ち、Cu膜中にZr酸化物が存在すると、このZr酸化物によりCu転位ループがトラップされるため、拡散を含めたCu原子の移動が抑制され、機械的強度・耐熱性が改善される。またそれに伴い、エレクトロマイグレーション耐性、ストレスマイグレーション耐性も改善される。なお、Zr添加によりCuの電気伝導率は低下するが、例えば0.1wt%Zr添加による電気伝導率の低下は3～6%とごくわずかである。

【0043】Cu中に0.01～0.1wt%Agを添加した場合、Zrの場合と同様に機械的強度と耐熱性の改善をはかることが出来る。例えばCu-0.05wt%Agでは、引っ張り強度が45Kgf/mm²以上となり、その再結晶温度も320℃まで上昇する。Ag添加は、耐酸化性に顕著な改善効果はないが、電気伝導率の低下はZrの場合よりも少なく、0.1wt%Ag添加でも電気伝導率の低下は高々1～3%である。

【0044】0.01wt%のSn或いはSbを添加した場合、再結晶温度が50～150℃上昇し、機械的特性も改善される。これらの添加は、耐酸化性については顕著な改善効果はなく、また、SnあるいはSbの0.01wt%添加により、Cuの電気伝導率は2～4%低下する。

【0045】このように、CuにZr、Ag、Sn、Sbを添加することにより、Cuの電気特性をほとんど損なうことなく、その機械的、熱的及び化学的特性を改善できる。

【0046】引き続き、ランプアニール装置を用いて、N₂雰囲気中で600～700℃で10～30秒程度の急速熱処理を施す(図1(c))。この熱処理により、コンタクト部の第1Ti膜106は、シリコン基板101と反応してチタンシリサイドとなり、TiN膜107a中の未反応TiがTiN膜中の未反応窒素と反応するため、TiN膜107aが安定化する。また、第2Ti膜108aは、Cu合金膜109aと反応して膜厚20～40nmのCu-Ti化合物層108bとなる。チタンシリサイドの形成により、金属と半導体の接合界面のショットキー障壁が低くなるためコンタクト抵抗が低下し、また、TiN膜107aの安定化によりTiN膜のバリア性が向上する。

【0047】Cu合金膜109aとTiN膜107aとの間に形成されたCu-Ti化合物層108bとして存在する化合物は、未確認のものを含め、Cu₄Ti(未確

認)、Cu₇Ti₂(未確認)、Cu₃Ti(未確認)、Cu₂Ti、Cu₃Ti₂、CuTi、CuTi₂の7種類があるが、これらCu-Ti化合物の種類、構造および膜厚は、第2Ti膜108aの膜厚と急速熱処理の条件とに依存する。しかし、基本的には、Cu-Ti系においては、600℃ではCuへのTiの固溶度のほうが高いため、界面にはCuの組成比が高いCu-Ti化合物層が形成される。この場合、Cuに添加したZr、Ag、Sn、及びSbは微量であり、Cu-Ti化合物の形成反応には影響を及ぼさない。

【0048】Cu-Ti化合物層108bは、TiNとCuの双方に対して良好な密着性を有し、かつ熱的安定性が高いため、TiNとCuの間の密着性改善層およびCuの拡散抑制層(バリア層)として機能する。このCu-Ti化合物層108bをTiN膜107aとCu合金膜109aとの間に設けることにより、従来技術で問題となっていたCuとTiNの密着性の悪さに起因するCuドライエッティング時のTiNのサイドエッチ、並びに、CuとTiNの界面における剥がれを防止できる。

【0049】引き続き、SiH₄及びNH₃をソースガスとしたプラズマCVD法により、成膜温度を300～350℃、圧力を0.2～0.5Torr、SiH₄の流量を150～300sccm、NH₃の流量を400～800sccm、RFパワーを0.5～1.5kWとした条件で、シリコン窒化膜を300～500nmの厚みでCu合金膜109a上に形成し、次いで、公知の手法であるフォトリソグラフィー技術及びドライエッティング技術を用いてこれをパターニングして、金属膜層パターニング時のマスクとなるシリコン窒化膜マスク110aとする(図1(d))。シリコン窒化膜マスク110aの膜厚は、エッティングされる金属膜層と、このシリコン窒化膜とのエッティング選択比を考慮して決定する。

【0050】次いで、SiCl₄、Cl₂、HN₃及びN₂ガスを用いた反応性イオンエッティング法により、温度を280℃、圧力を2Pa、SiCl₄の流量を20sccm、Cl₂の流量を20sccm、NH₃の流量を10～30sccm、N₂の流量を80sccm、RFパワーを200Wとした条件で、Cu合金膜109a、Cu-Ti化合物層108b、TiN膜107a及び第1Ti膜106から成る積層膜をエッティングして配線パターン化する。続いて、Cu合金膜109aの上部に残ったシリコン窒化膜マスク110aを反応性イオンエッティング法により除去する(図1(e))。このときのエッティングは、シリコン酸化膜とシリコン窒化膜のエッティング選択比が高く、且つシリコン酸化膜104がほとんどエッティングされない条件を用いて行う。

【0051】上記積層膜のエッティングでは、Cu合金膜109aとCu-Ti化合物層108b、及び、Cu-Ti化合物層108bとTiN膜107aとが夫々互いに良好な密着性を有しているため、従来技術で問題となつて

いたCuとTiNの密着性の悪さに起因するTiN膜のサイドエッチの発生や、CuとTiNの界面での剥がれは生じない。そのため、従来技術とは異なり、Cu膜とTiN膜の間にWなどの密着性改善層を形成する必要がなく、構造の単純化及び工程の簡略化をはかることが出来る。また配線パターン微細化への対応も容易となる。

【0052】次いで、水素を還元剤とした選択W-CVD法により、配線パターンの周囲のみに選択的に20nmの厚みを有するW膜111を形成することで、最終的に図1(f)に示す構造を得る。W膜111を配線パターン上に選択的に且つ高い均一性で形成するためには、2つの前処理が必要である。その1つは、濃度0.5~3vol%の希釈フロ酸による処理であり、他方は、濃度5~30vol%の希釈硫酸、硝酸、王水、硝酸・リン酸混合液などの、銅をエッチングできる溶液による処理である。

【0053】希釈フロ酸処理は、イオンエッチングによりダメージを受けたシリコン酸化膜104の表面層と配線側壁とに形成された、シリコン塗化膜に近い組成を持つ反応副生成物を除去して、W成長の選択性を改善する。銅エッチング溶液による処理は、シリコン塗化膜マスク110aをエッチングする時に生じた銅合金膜表面のダメージ層の除去と清浄化を行い、Wの均一な核発生・成長を促進する。

【0054】W成長は、基板温度を350~400℃、圧力を20~80mTorr、WF₆の流量を0.5~1.0sccm、H₂の流量を200~400sccmとした条件で行う。この条件では、ウエハ上の金属膜の露出の割合にもよるが、およそ5~7nm/minと小さなW成長速度が得られるため、W膜厚の制御は容易である。

【0055】上記実施例により形成した配線は、Cu合金膜とTiN膜との間には密着性及びバリア性を改善するCu-Ti化合物層が存在し、また、Cuよりも機械的強度が高く且つ高耐熱性を有するCu合金膜を主導電層としており、さらにCVD-W膜で配線表面が酸化・腐食より保護されている。そのため、従来よりも単純な配線構造及び簡素な製造方法であるにもかかわらず、優れた特性と高い長期信頼性を有する配線が得られる。

【0056】上記実施例の半導体装置とその製造方法は、MOS、Bipolar等の半導体装置の種類あるいはメモリ、ロジック等の回路の種類を選び、広範囲な半導体装置に適用可能である。

【0057】続いて、図2を参照して本発明の第2の実施例について説明する。図2(a)~(e)は、本発明の第2の実施例の半導体装置及びその製造方法を、その工程段階毎に順次に示した半導体装置の縦断面図である。

【0058】まず、公知の手法である熱CVD法あるいはプラズマCVD法を用いて、シリコン基板101上に、シリコン酸化膜104を厚さ500nm~1000nm

の厚みで形成し、さらに、第1Ti膜106、TiN膜107aを夫々30nm、100nmの厚みで順次形成する。次いで、Cu-Ti合金ターゲットを用いたD.C.マグネットロンスパッタ法により、Cu-Ti合金膜を10nmの厚みで形成し、引き続き、非酸化性ガス雰囲気中で400~600℃の熱処理を行い、Cu-Ti合金膜をCu-Ti化合物層108bとする(図2(a))。このCu-Ti化合物層108bの組成は、ターゲットの組成と熱処理条件とに依存するが、基本的にはCuの組成比の高いターゲットを用いるとCuリッチの化合物層が形成される。このため、ターゲットの組成は、Cu:Tiの比が2:1から3:2程度迄とすることが望ましい。

【0059】第1Ti膜106は、シリコン酸化膜104とTiN膜107aとの間の密着性の改善を目的として形成する。TiN膜107aは、エレクトロマイグレーション耐性、ストレスマイグレーション耐性の改善など、配線全体の長期信頼性の向上を目的として形成される。

【0060】引き続き、CuにZr、Ag、Sn、Sbの少なくとも1種類を0.01~0.1wt%添加したCu合金膜109aを、D.C.マグネットロンスパッタ法により400nmの厚みで形成する(図2(b))。CuへのZr、Ag、Sn、Sbの添加は、Cuの機械的強度、熱的安定性、耐酸化性などの特性の改善を目的として行われ、その作用は第1の実施例において述べた通りである。

【0061】Cu-Ti化合物層108bは、上述の通りCuの組成比が高く、900℃以上の融点を持つ耐熱性の高いものであり、Ti及びCuの両元素を含有しているため、TiN膜107aとCu合金膜109aとの間のバリア層として用いると、Cu合金膜109aとTiN膜107aの密着性改善に寄与すると共にCu自体の拡散を抑制する。従って、Cu合金膜とTiN膜との間で、高い耐熱性と良好な密着性を有する界面が形成される。このため、かかる単純な構造によつても、従来技術で問題であった、Cu合金膜とTiN膜の密着性の悪さに起因するTiN膜のサイドエッチやCu合金膜とTiN膜の界面での剥がれを防止できる。

【0062】続いて、銅合金膜109a上に、SiH₄及びNH₃をソースガスとしたプラズマCVD法により、成膜温度を300~350℃、圧力を0.2~0.4Torr、SiH₄の流量を150~300sccm、NH₃の流量を400~800sccm、RFパワーを0.5~1.5Kwとした条件で、シリコン塗化膜を300~500nmの厚みで形成し、既知の手法によりこれをパターニングして、金属膜層をエッチングする際のマスクとなるシリコン塗化膜マスク110aとする(図2(c))。シリコン塗化膜マスク110aの膜厚は、エッチングされる金属膜層と、このシリコン塗化膜とのエッチング選択比を考慮して決定する。

【0063】引き続き、 SiCl_4 、 Cl_2 、 HN_3 及び N_2 ガスを用いた反応性イオンエッチング法により、温度を280°C、圧力を2Pa、 SiCl_4 の流量を20sccm、 Cl_2 の流量を20sccm、 HN_3 の流量を10~30sccm、 N_2 の流量を80sccm、RFパワーを200Wとした条件で、銅合金膜109a、 Cu-Ti 化合物層108b、 TiN 膜107a及び第1 Ti 膜106から成る積層膜をエッチングして配線パターン化する。続いて、銅合金膜109aの上部に残ったシリコン窒化膜マスク110aを反応性イオンエッチング法により除去する(図2(d))。このときのエッチング条件は、シリコン酸化膜に対するシリコン窒化膜のエッチング速度比が高く、且つシリコン酸化膜104がほとんどエッチングされない条件を用いる。

【0064】前述のとおり、 Cu 合金膜と Cu-Ti 化合物層、及び Cu-Ti 化合物層と TiN 膜とは夫々良好な密着性を有しているために、従来技術で問題であった、 Cu エッチング時の TiN 膜のサイドエッチの発生や Cu 合金膜と TiN 膜界面での剥がれは生じない。そのため、従来技術とは異なり、 Cu 膜と TiN 膜との間にW等の密着性改善層を個別に形成する必要がなく、配線構造の単純化及び製造工程の簡略化をはかることが出来る。

【0065】次いで、水素を還元剤とした選択W-CVD法により配線パターンの表面のみに選択的に20nmの厚みを有するW膜111を形成する。このW膜111を配線パターンの表面に選択的に且つ高い均一性で形成するためには、2つの前処理が必要で、その目的と手法は第1の実施例と同様である。

【0066】上記選択W成長は、温度を350~400°C、圧力を20~80mTorr、 WF_6 の流量を0.5~1.0sccm、 H_2 の流量を200~400sccmとした条件で行う。この条件では、ウエハ上の金属膜の露出の割合にもよるが、およそ5~7nm/minと小さなW成長速度が得られるため、W膜厚の制御は容易である。

【0067】本実施例により形成した配線は、 Cu 合金膜と TiN 膜との間に、密着性及びバリア性を改善する Cu-Ti 化合物層が存在し、また、 Cu よりも機械的強度が高く、高耐熱性を有する Cu 合金膜を主導電層としており、さらにCVD-W膜で配線表面が酸化・腐食により保護されている。従って、従来に比してより単純な配線構造および製造方法を採用したにもかかわらず、より優れた特性と高い長期信頼性が得られる。

【0068】第2の実施例の半導体装置は、第1の実施例と同様にMOS、Bipolar等の半導体装置の種類あるいはメモリ、ロジック等の回路の種類を選ばず適用可能である。

【0069】以上、本発明の好適な実施例について説明したが、上記各実施例の構成は単に例示であり、本発明の半導体装置及びその製造方法は、上記各実施例の構成から種々の修正及び変更が可能である。

【0070】

【発明の効果】以上説明したように、本発明の半導体装置及び本発明方法で製造される半導体装置は、高い電気的特性と、高い機械的、熱的及び化学的耐性とを有する Cu 合金膜を主導電層とし、 Cu 合金膜と TiN 膜との間に耐熱性が高く Cu 及び TiN の双方に対して密着性の良い Cu-Ti 化合物層を形成したことにより、本発明は、高い製造歩留り及び生産効率で製造でき、 TiN 膜のサイドエッチングやパターン剥がれなどの不良が発生することなく、低電気抵抗でエレクトロマイグレーション耐性、ストレスマイグレーション耐性、耐酸化性、耐食性に優れた微細な配線構造を有する半導体装置を提供した顕著な効果を奏する。

【図面の簡単な説明】

【図1】(a)~(f)は夫々、本発明の第1の実施例に係る半導体装置及びその製造方法を示す、各工程段階毎の半導体装置の縦断面図。

【図2】(a)~(e)は夫々、本発明の第2の実施例に係る半導体装置及びその製造方法を示す、各工程段階毎の縦断面図。

【図3】(a)~(c)は夫々、第1の従来技術を示す、各工程段階毎の半導体装置の縦断面図。

【図4】(a)及び(b)は夫々、第2の従来技術を示す、各工程段階毎の半導体装置の縦断面図。

【図5】(a)~(c)は夫々、第3の従来技術を示す、各工程段階毎の半導体装置の縦断面図。

【図6】(a)~(d)は夫々、第4の従来技術の非平面構造を示す、各工程段階毎の半導体装置の縦断面図。

【図7】(a)~(d)は夫々、第4の従来技術の平面構造を示す、各工程段階毎の半導体装置の縦断面図。

【図8】(a)及び(b)は夫々、第5の従来技術を示す、各工程段階毎の半導体装置の縦断面図。

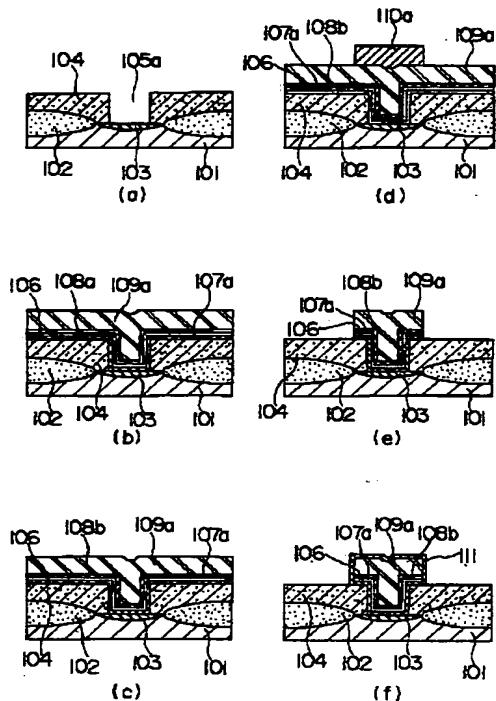
【符号の説明】

101	シリコン基板
102	フィールド酸化膜
103	拡散層
104	シリコン酸化膜
105a	層間接続孔
105b	配線形成用溝パターン
106	第1 Ti 膜
107a	TiN 膜
107b	TiN 膜
107c	Ti-N 膜
107d	Ti-W 膜
108a	第2 Ti 膜
108b	Cu-Ti 化合物層
108c	W膜
108d	W膜
109a	Cu 合金膜

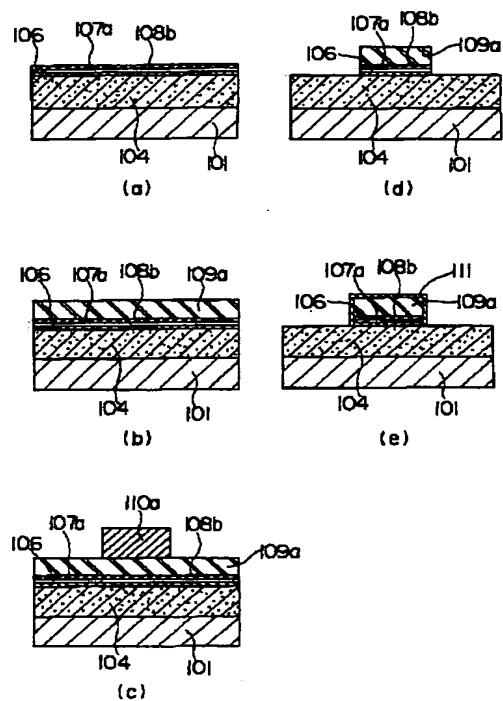
109b Cu膜
109c Au膜
110a シリコン窒化膜マスク
110b シリコン窒化膜マスク
111 W膜

112 フォトレジスト
113 シリコン窒化膜
114a Nb膜
114b NbN

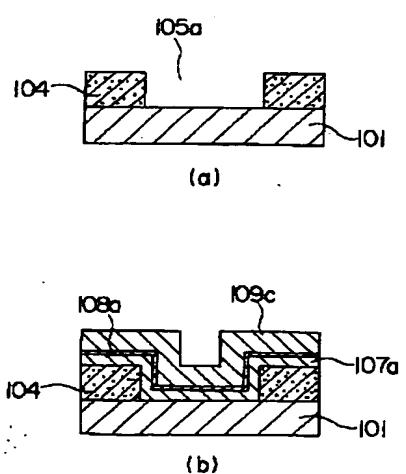
【図1】



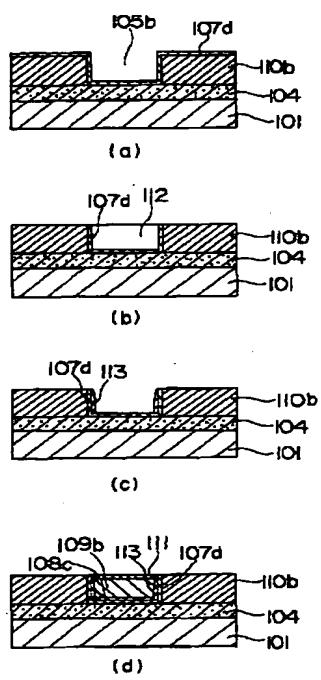
【図2】



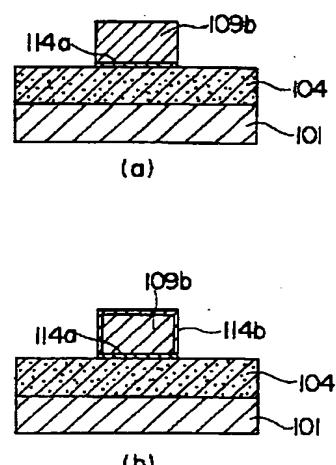
【図4】



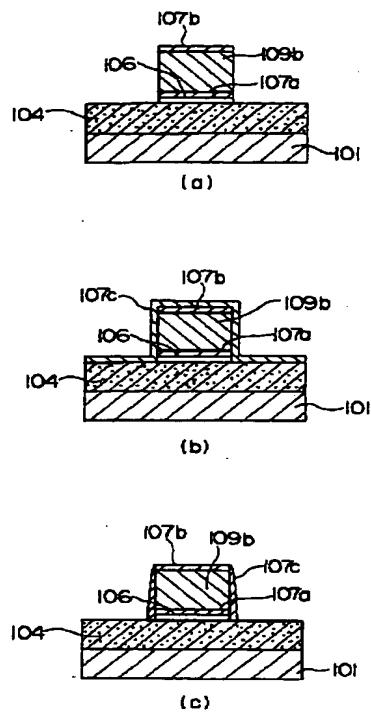
【図7】



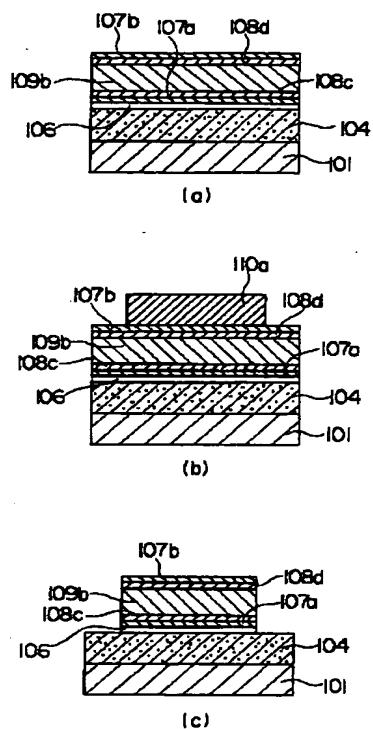
【図8】



【图3】



【図5】



【图6】

